

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年12月27日

出願番号 Application Number: 特願2002-379047

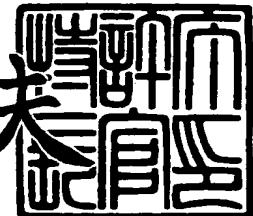
[ST. 10/C]: [JP2002-379047]

出願人 Applicant(s): 株式会社ルネサステクノロジ

U.S. Appln. Filed 10-10-03  
Inventor: S. Konishi et al  
Mattingly Stanger + Malor  
Docket H-1125

特許庁長官  
Commissioner,  
Japan Patent Office

2003年10月22日  
今井康夫



【書類名】 特許願

【整理番号】 H02016961

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/02

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 小西 聰

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 遠藤 恒雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 中嶋 浩一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 土屋 正明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

## 【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体モジュール

【特許請求の範囲】

【請求項 1】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

前記モジュール基板上に、能動素子を含む第1半導体チップ及び第2半導体チップと、

集積受動デバイスとを有し、

前記第1半導体チップ及び前記第2半導体チップのうちの一つの半導体チップと前記集積受動デバイスは重ねて前記モジュール基板の上面に搭載されていることを特徴とする半導体モジュール。

【請求項 2】 請求項1に記載の半導体モジュールにおいて、前記第1半導体チップ及び前記第2半導体チップは増幅回路を含み、前記第1半導体チップの出力が前記第2半導体チップに入力される構成になっていることを特徴とする半導体モジュール。

【請求項 3】 請求項2に記載の半導体モジュールにおいて、前記第1半導体チップ及び前記第2半導体チップの間に段間整合回路が設けられ、前記段間整合回路は前記集積受動デバイスで形成されていることを特徴とする半導体モジュール。

【請求項 4】 請求項3に記載の半導体モジュールにおいて、前記第1半導体チップの入力部に接続される入力整合回路と、前記第2半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路はディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項 5】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

前記モジュール基板上に、能動素子を含む第1半導体チップ及び第2半導体チップと、

集積受動デバイスとを有し、

前記第2半導体チップ上に前記第1半導体チップが搭載されていることを特徴と

する半導体モジュール。

**【請求項 6】** 請求項 5 に記載の半導体モジュールにおいて、発熱量は前記第 1 半導体チップに比較して前記第 2 半導体チップが大きいことを特徴とする半導体モジュール。

**【請求項 7】** 請求項 6 に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

**【請求項 8】** 請求項 6 に記載の半導体モジュールにおいて、前記第 1 半導体チップ上に前記集積受動デバイスが配置されていることを特徴とする半導体モジュール。

**【請求項 9】** 請求項 6 に記載の半導体モジュールにおいて、前記第 1 半導体チップの上面に前記集積受動デバイスが搭載され、前記集積受動デバイスの上面に前記第 2 半導体チップが搭載されていることを特徴とする半導体モジュール。

**【請求項 10】** 請求項 9 に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

**【請求項 11】** 請求項 6 に記載の半導体モジュールにおいて、前記第 1 半導体チップ及び前記第 2 半導体チップは増幅回路を含み、前記第 1 半導体チップの出力が前記第 2 半導体チップに入力される構成になり、前記第 1 半導体チップ及び前記第 2 半導体チップの間に段間整合回路が設けられていることを特徴とする半導体モジュール。

**【請求項 12】** 請求項 11 に記載の半導体モジュールにおいて、前記第 1 半導体チップの入力部に接続される入力整合回路と、前記第 2 半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路はディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

**【請求項 13】** 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

能動素子が形成された第 1 半導体チップ及び第 2 半導体チップと、

第1集積受動デバイスとを有し、

前記第1半導体チップ及び前記第2半導体チップは前記モジュール基板の上面側において所定の距離を置いて配置されていることを特徴とする半導体モジュール。

**【請求項14】** 請求項13に記載の半導体モジュールにおいて、前記第1半導体チップの上面に第1集積受動デバイスが配置されていることを特徴とする半導体モジュール。

**【請求項15】** 請求項14に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

**【請求項16】** 請求項14に記載の半導体モジュールにおいて、前記モジュール基板の上面に第2集積受動デバイスが搭載され、前記第2集積受動デバイスと前記モジュール基板の間に能動素子を含む半導体チップが存在していないことを特徴とする半導体モジュール。

**【請求項17】** 請求項16に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

**【請求項18】** 請求項14に記載の半導体モジュールにおいて、前記モジュール基板の上面に第2集積受動デバイスが搭載され、前記第2半導体チップの上面に前記第2集積受動デバイスが搭載されていることを特徴とする半導体モジュール。

**【請求項19】** 請求項13に記載の半導体モジュールにおいて、前記第1半導体チップの下に前記第1集積受動デバイスが配置されていることを特徴とする半導体モジュール。

**【請求項20】** 請求項19に記載の半導体モジュールにおいて、前記第1集積受動デバイスは前記モジュール基板の上面にフリップ・チップ接続によって搭載されていることを特徴とする半導体モジュール。

**【請求項21】** 請求項20に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導

体モジュール。

**【請求項22】** 請求項19に記載の半導体モジュールにおいて、前記モジュール基板の上面にディスクリート部品が搭載されていることを特徴とする半導体モジュール。

**【請求項23】** 請求項13に記載の半導体モジュールにおいて、前記第1半導体チップ及び前記第2半導体チップは増幅回路を含み、前記第1半導体チップの出力が前記第2半導体チップに入力される構成になり、前記第1半導体チップ及び前記第2半導体チップの間に段間整合回路が設けられ、前記段間整合回路は前記集積受動デバイスで構成されていることを特徴とする半導体モジュール。

**【請求項24】** 請求項23に記載の半導体モジュールにおいて、前記第1半導体チップの入力部に接続される入力整合回路と、前記第2半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路は複数のディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

**【請求項25】** 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

前記モジュール基板上に、能動素子を含む第1半導体チップ及び第2半導体チップとを有し、

前記第1半導体チップ及び前記第2半導体チップは前記モジュール基板の上面側において、水平方向に所定の距離を置いて配置され、

前記第1半導体チップ上に前記第1集積受動デバイスが搭載され、

前記第1半導体チップ及び前記第2半導体チップは増幅回路を含み、

前記第1半導体チップの出力が前記第2半導体チップに入力される構成になり、前記第1半導体チップ及び前記第2半導体チップの間に段間整合回路が設けられ、

前記段間整合回路は前記第1集積受動デバイスで構成されていることを特徴とする半導体モジュール。

**【請求項26】** 請求項25に記載の半導体モジュールにおいて、前記第1半導体チップの入力部に接続される入力整合回路と、前記第2半導体チップの出力部に接続される出力整合回路とを有し、前記出力整合回路はディスクリート部

品の接続によって形成されていることを特徴とする半導体モジュール。

**【請求項 27】** 請求項26に記載の半導体モジュールにおいて、前記第1半導体チップと前記モジュール基板、前記第1集積受動デバイスと前記モジュール基板は導電性のワイヤで電気的に接続されていることを特徴とする半導体モジュール。

**【請求項 28】** 請求項26に記載の半導体モジュールにおいて、前記モジュール基板の上面に第2集積受動デバイスが搭載され、前記第2集積受動デバイスと前記モジュール基板の間に能動素子を含む半導体チップが存在していないことを特徴とする半導体モジュール。

**【請求項 29】** 請求項28に記載の半導体モジュールにおいて、前記第2集積受動デバイスと前記モジュール基板は導電性のワイヤで電気的に接続されていることを特徴とする半導体モジュール。

**【請求項 30】** 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

能動素子を含む第1半導体チップ及び第2半導体チップとを有し、前記第1半導体チップ及び前記第2半導体チップは前記モジュール基板の上面側において、水平方向に所定の距離を置いて配置され、

前記第1半導体チップ下に第1集積受動デバイスが配置され、

前記第1半導体チップ及び前記第2半導体チップは増幅回路を含み、

前記第1半導体チップの出力が前記第2半導体チップに入力される構成になり、前記第1半導体チップ及び前記第2半導体チップの間に段間整合回路が設けられ、

前記段間整合回路は前記第1集積受動デバイスで構成されていることを特徴とする半導体モジュール。

**【請求項 31】** 請求項30に記載の半導体モジュールにおいて、前記第1半導体チップの入力部に接続される入力整合回路と、前記第2半導体チップの出力部に接続される出力整合回路とを有することを特徴とする半導体モジュール。

**【請求項 32】** 請求項31に記載の半導体モジュールにおいて、前記第1集積受動デバイスは前記モジュール基板の上面にフリップ・チップ接続によって

搭載されていることを特徴とする半導体モジュール。

【請求項33】 上面に配線を有し、下面に外部電極端子を有するモジュール基板と、

能動素子を含む半導体チップと、

前記半導体チップの上面に搭載されている集積受動デバイスとを有し、

前記半導体チップは第1增幅回路及び第2增幅回路を含み、

前記第1增幅回路の出力が前記第2增幅回路に入力される構成になり、

前記第1增幅回路と前記第2增幅回路の間に段間整合回路が設けられ、

前記段間整合回路は前記集積受動デバイスで構成されていることを特徴とする半導体モジュール。

【請求項34】 請求項33に記載の半導体モジュールにおいて、前記第2增幅回路の出力部に接続される出力整合回路を有し、前記出力整合回路は複数のディスクリート部品の接続によって形成されていることを特徴とする半導体モジュール。

【請求項35】 請求項1に記載の半導体モジュールにおいて、前記モジュール基板の下面に設けられる放熱パッドと、前記モジュール基板を上下に貫通して設けられ下端が前記放熱パッドに接続される複数のビィアとを有し、前記第2半導体チップは前記複数のビィア上に配置されていることを特徴とする半導体モジュール。

【請求項36】 請求項35に記載の半導体モジュールにおいて、前記モジュール基板の上面に窪みが設けられ、前記ビィアは前記窪みの底に複数設けられて、前記窪みの底上に前記第2半導体チップが搭載されていることを特徴とする半導体モジュール。

【請求項37】 請求項1に記載の半導体モジュールにおいて、前記第1半導体チップ、前記第2半導体チップ及び前記集積受動デバイスは、絶縁性の樹脂からなる封止部で被われていることを特徴とする半導体モジュール。

【請求項38】 請求項37に記載の半導体モジュールにおいて、前記封止部の端部は、前記モジュール基板の端部より外側に位置していないことを特徴とする半導体モジュール。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は半導体モジュールに係わり、特に小型化が達成できる半導体モジュールに関する。

**【0002】****【従来の技術】**

トランジスタ等の能動素子を組み込んだ半導体チップ、抵抗やコンデンサ等の受動素子を組み込んだチップ部品をそれぞれ配線基板に搭載した半導体モジュール（半導体装置）の一例として、混成集積回路装置が知られている。

**【0003】**

この混成集積回路装置は、例えば、携帯電話に組み込まれる高周波電力増幅装置（高周波パワーモジュール）を構成している（例えば、特許文献1参照）。

**【0004】**

また、コンデンサ付きIC（集積回路装置）チップを小型に製造する技術が知られている（例えば、特許文献2参照）。

**【0005】****【特許文献1】**

特開平9-116091号公報（第5-7頁、図1, 図3）

**【特許文献2】**

特開平9-232504号公報（第2頁、図5）

**【0006】****【発明が解決しようとする課題】**

移動体通信の端末機器（携帯電話機等）には多くの電子部品が組み込まれている。携帯電話機の送信系に組み込まれる高周波増幅装置（パワーアンプモジュール：PA）も急速な小型・高機能化が進んで来ている。通信方式の一つとしてGSM（Global System for Mobile Communication）方式が知られているが、このGSM方式用のパワーアンプモジュールの外形寸法は、現状では縦10mm, 横8mmの大きさであるが、次世代のモジュールでは縦6mm, 横5mmのサイズ

のものが主流になると想定される。

### 【0007】

また、CDMA (CDMA code division multiple access 符号分割多元接続) 分野においても現状の縦6mm, 横6mmのものが、縦5mm, 横5mm、さらには縦4mm, 横4mmと順次要請されるものと想定できる。また、この要請はGSM製品でも同様と思われる。

### 【0008】

このような超小型のパワーアンプモジュールでは、配線基板構成のモジュール基板における表面の二次元的部品実装だけでは、トランジスタ等の能動素子を組み込んだ半導体チップや、抵抗（チップ抵抗）、コンデンサ（チップコンデンサ）等の受動素子からなるチップ部品が搭載できなくなり、三次元実装が必要になる。

### 【0009】

本発明の目的は、複数の半導体チップや複数の電子部品を組み込んでなる半導体モジュールの小型化を図ることにある。

### 【0010】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

### 【0011】

#### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

### 【0012】

(1) 本発明の半導体モジュールは、上面に配線を有し、下面に外部電極端子を有するモジュール基板と、能動素子を含む第1半導体チップ及び第2半導体チップと、複数の受動素子を集積化した集積受動デバイスとを有し、第1半導体チップ及び第2半導体チップのうちの少なくとも一つの半導体チップと集積受動デバイスは重ねてモジュール基板の上面に搭載されている。モジュール基板の上面には窪みが設けられ、下面には導体からなる放熱パッドが設けられている。窪み

の底にはモジュール基板を上下に貫通するビィアが複数設けられ、このビィアは放熱パッドに接続されている。窪みの底には第2半導体チップが搭載されている。窪みから外れたモジュール基板の上面には第1半導体チップや抵抗、コンデンサ等の電子部品（受動部品）が搭載されている。第1半導体チップの上面には集積受動デバイスが搭載されている。第1・第2半導体チップ及び集積受動デバイスの上面の電極とモジュール基板の上面の配線が導電性のワイヤで電気的に接続されている。これら第1・第2半導体チップ、集積受動デバイス及びワイヤ等はモジュール基板の上面に設けられた封止部で被われている。封止部とモジュール基板は同じ寸法でかつ一致して重なっている。第1半導体チップ及び第2半導体チップは増幅回路を含むとともに、第1半導体チップの出力が第2半導体チップに入力され、高周波電力増幅装置を構成している。第1半導体チップの増幅回路に接続される入力整合回路及び第1及び第2半導体チップの増幅回路間に接続される段間整合回路は前記集積受動デバイスに組み込まれている。

#### 【0013】

(2) 上記(1)の構成において、第2半導体チップの増幅回路の出力部分には出力整合回路が接続され、この出力整合回路はモジュール基板の上面に搭載される集積受動デバイスに組み込まれている。

#### 【0014】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 【0015】

##### (実施形態1)

図1乃至図8は本発明の一実施形態（実施形態1）である半導体モジュールに係わる図である。図1乃至図7は半導体モジュールの構造に係わる図である。図1は半導体モジュールの模式的断面図、図2は平面図、図3は底面図、図4は模式的拡大断面図、図5はモジュール基板上の電子部品のレイアウトを示す図である。図1では各部を説明する符号は一部とし、詳細には図4に示してある。

### 【0016】

本実施形態1の半導体モジュール（半導体装置）1は、外観的には四角形のモジュール基板2と、このモジュール基板2の上面に重ねて形成される封止部（パッケージ）3と、モジュール基板2の下面に設けられる複数の外部電極端子4及び放熱パッド5とからなっている。

### 【0017】

半導体モジュール1は、その製造において、モジュール母基板の上面に半導体チップを含む電子部品を搭載し、その後電子部品等を被うようにモジュール母基板の上面に一定の高さの樹脂封止層を形成し、ついでモジュール母基板を重なった樹脂封止層をも含めて縦横に切断して一度に複数の半導体モジュール1を製造することから、モジュール基板2と封止部3は同じ寸法になり、かつ一致して重なる構造になる。従って、モジュール基板2の側面と封止部3の側面は一致し、封止部3の端部は、モジュール基板2の端部より外側に位置していない構造になる。このような製造方法によれば、半導体モジュール1を小型に製造することができる。なお、前記切断によってモジュール母基板はモジュール基板に、樹脂封止層は封止部になる。

### 【0018】

モジュール基板2はプリント回路基板（P C B）からなり、図1に示すように、上下面及び内部（図示せず）に所定の配線パターンの導体層を有するとともに、これら導体層は図示しないスルーホールに充填した導体を介して電気的に接続されている。モジュール基板2は複数の誘電体層（絶縁膜）間に複数の導体層（配線）を有する構造になっている。本実施形態1では、特に限定はされないが、誘電体層は6層になっている。

### 【0019】

配線9はモジュール基板2の上下面及び内部に設けた導体層や上下に延在する導体によって形成される。モジュール基板2の下面に設けた導体層によって前記外部電極端子4や放熱パッド5が形成されている。モジュール基板2の上面に設けられた導体層によって、チップ搭載パッド6、電極接続パッド7、ワイヤ接続パッド8等が形成される。

### 【0020】

また、本実施形態1では、モジュール基板2の上面に窪み10が設けられている。そして、この窪み10の底にはモジュール基板を上下に貫通するスルーホールが設けられるとともに、このスルーホールには導体が充填されてビィア11が形成されている。また、窪み10の底面にもチップ搭載パッド12が設けられている。窪み10の底のチップ搭載パッド12と放熱パッド5は複数のビィア11によって接続されている。放熱パッド5は外部電極端子4に比較して面積が大きくなっている。

### 【0021】

導体層及び導体は金属で形成されている。例えば、モジュール基板2の上下面に形成される導体層は、図示しないがTi（下層）／TiNとこの層上に形成されるTi（下層）／Al-Cu-Siからなっている。また、接着剤やワイヤが接続される導体層の表面は接続を良好するために、例えばTi（下層）／Niからなるメッキ膜が設けられている。また、内部の導体層はAg導体であり、スルーホールやビィアホールに充填される導体はAg導体である。

### 【0022】

本実施形態1ではチップ搭載パッド6の上面には第1半導体チップ15が接着材16によって固定されている。第1半導体チップ15は、その構造を図示しないが、シリコン基板の上面側に能動素子として增幅回路が複数形成され、上面を被う絶縁層には所定数の電極17が露出するように配列されている。電極17は四角形状の第1半導体チップ15の各辺に沿って設けられている。第1半導体チップ15の電極17と、第1半導体チップ15の周囲のモジュール基板上に設けられるワイヤ接続パッド8は導電性のワイヤ18で電気的に接続されている。

### 【0023】

また、第1半導体チップ15の中央には接着剤20によって集積受動デバイス21が固定されている。この集積受動デバイス21の上面にも電極22が所定数設けられている。集積受動デバイス21の電極22と、集積受動デバイス21の周囲のモジュール基板上に設けられるワイヤ接続パッド8は導電性のワイヤ23で電気的に接続されている。

### 【0024】

窪み10の底に設けられたチップ搭載パッド12上には、第2半導体チップ25が接着剤26によって固定されている。第2半導体チップ25は、その構造を図示しないが、シリコン基板の上面側に能動素子として增幅回路が複数形成され、上面を被う絶縁層には所定数の電極27が露出するように配列されている。第2半導体チップ25の電極27と、窪み10の縁上に設けられるワイヤ接続パッド8は導電性のワイヤ28で電気的に接続されている。窪み10の底のチップ搭載パッド12と放熱パッド5はビニア11を介して電気的に接続される構造になっている。ビニア11は金属で形成されるため熱伝導性が良好である。従って、第2半導体チップ25で発生した熱を放熱パッド5に速やかに伝達することができる。

### 【0025】

本実施形態1の場合、第2半導体チップ25の図示しない半導体基板は導電性の接着剤26、チップ搭載パッド12、ビニア11を介して放熱パッド5に電気的に接続される構成になっている。従って、第2半導体チップ25の半導体基板を第1基準電位、即ちグランド電位になるようにすれば、放熱パッド5もグランド電位になる。

### 【0026】

モジュール基板2の上面には、チップ状の電子部品30が所定数搭載されている。チップ状電子部品30は、その両端が電極31になり、この電極31部分が接着剤32によってモジュール基板2の上面に設けられた電極接続パッド7に電気的に接続されることによって固定されている。チップ状電子部品30は、例えば、チップ抵抗、チップコンデンサ、チップインダクタである。接着剤32は鉛の含有量が少ない半田（以下Pbフリー半田と呼称）が用いられる。Pbフリー半田としては、例えば、Sn, Ag, CuにZnやBiを含む半田が使用される。

### 【0027】

外部電極端子4は、図3に示すように、半導体モジュール1の四角形の底面において、各辺に沿って所定ピッチで配列されている。そして、底面の中央部分に

外部電極端子4に比較して大幅に広い面積の放熱パッド5が配置されている。

### 【0028】

モジュール基板2の上面側には、第1半導体チップ15、第2半導体チップ25、集積受動デバイス21、チップ状電子部品30及びワイヤ18、23、28等を被う封止部3が形成されている。この封止部3は絶縁性の樹脂で形成される。封止部3は、例えば、ヤング率が $1 \sim 200 \text{ MPa}$ 、熱膨張率 $\alpha$ が $180 \times 10^{-6} / \text{ }^{\circ}\text{C} \sim 200 \times 10^{-6} / \text{ }^{\circ}\text{C}$ のシリコーンレジンや、ヤング率が1000 $\sim 10000 \text{ MPa}$ のエポキシレジンで形成する。これにより、顧客実装のリフローでのパッケージ内の半田膨張による半田フラッシュ防止効果がある。即ち、実装基板に半導体モジュール1を半田等の接合材でリフローして実装する際、半導体モジュール1の封止部3内に組み込まれている電子部品の接合部分の半田が、リフローの熱によって膨張してモジュール基板2と封止部3の界面から外部に滲み出る現象（半田フラッシュ現象）が発生し易くなる。モジュール基板2の熱膨張率 $\alpha$ は $7 \times 10^{-6} / \text{ }^{\circ}\text{C}$ 程度であることから、封止部3を前記のようなヤング率や熱膨張率を有する樹脂で形成することによってモジュール基板2と封止部3との接着強度を向上させることができ、半田フラッシュ現象の発生を抑えることができる。

### 【0029】

本実施形態1の半導体モジュール1は、高周波電力增幅装置を構成している。図8は高周波電力增幅装置の回路構成である。この高周波電力增幅装置は2種類の通信系を增幅する構成であり、各通信系を増幅する増幅系はトランジスタを3段従属接続した3段構成となっている。例えば、一方の通信系は周波数帯域が1710 $\sim$ 1785MHzとなるDCS(Digital Cellular System 1800)方式であり、他方の通信系は周波数帯域が880 $\sim$ 915MHzとなるGSM(Global System for Mobile Communication)方式である。

### 【0030】

図8に示すように、一方の通信系は入力端子Pin1と、出力端子Pout1との間に初段トランジスタ（初段増幅器：第1増幅段）Q1、次段トランジスタ（次段増幅器：第2増幅段）Q2、並列接続される最終段トランジスタ（出力段増幅

器) Q3、Q4を順次接続した構成になり、各トランジスタのドレイン電極には電源電圧Vdd1が印加され、各トランジスタのゲート電極には制御端子Vapcから入力される電圧によってバイアスされるようになっている。

#### 【0031】

また、他方の通信系は入力端子Pin2と、出力端子Pout2との間に初段トランジスタQ5、次段トランジスタQ6、並列接続される最終段（出力段）トランジスタQ7、Q8を順次接続した構成になり、各トランジスタのドレイン電極には電源電圧Vdd2が印加され、各トランジスタのゲート電極には制御端子Vapcから入力される制御電圧によってバイアスされるようになっている。

#### 【0032】

制御端子VapcはスイッチSW1に接続され、このスイッチSW1は切替端子Vctlによる切替え信号によって切り替わり、制御端子Vapcの制御電圧はこのスイッチSW1によって特定された通信系の増幅を行うようになっている。

#### 【0033】

トランジスタQ1、Q2、Q5、Q6は第1半導体チップ15にモノリシックに形成され、出力段トランジスタのQ3、Q4、Q7、Q8は第2半導体チップ25にモノリシックに形成されている。

#### 【0034】

両通信系においては、Cで表示される容量素子（CP、CG、CB）、Rで表示される抵抗素子（RP、RG）、Lで表示されるインダクタが多数組み込まれ、整合回路やバイアス回路を構成している。

#### 【0035】

例えば、一方の通信系には、CP1～CP7及びCP9～CP12並びにCB1、CB2で示すコンデンサ素子と、RP1～RP4及びRP6で示す抵抗素子と、L1で示すインダクタ素子と、長方形で表示されるストリップライン（マイクロストリップライン）とが組み込まれている。

#### 【0036】

また、他方の通信系には、CG1～CG7及びCG9～CG13並びにCB3、CB4で示すコンデンサ素子と、RG1～RG4及びRG6で示す抵抗素子と

、L 2 で示すインダクタ素子と、長方形で表示されるストリップライン（マイクロストリップライン）とが組み込まれている。

### 【0037】

集積受動デバイス21には、図8の四角形枠で示す整合回路が組み込まれている。図6は集積受動デバイス21に組み込まれるコンデンサ素子を等価回路的に表示した模式的平面図である。集積受動デバイス21の上面には、図6に示すように、両側に沿って電極22が設けられている。四角形で示す電極22の一側に示すGはグランド端子であることを示すものである。

### 【0038】

一方の通信系において、CP1及びCP2は初段トランジスタQ1の入力整合回路を形成し、CP3及びCP4は初段トランジスタQ1と次段トランジスタQ2の間の段間整合回路を形成し、CP5乃至CP7は次段トランジスタQ2と最終段（出力段）トランジスタQ3、Q4の間の段間整合回路を形成している。また、他方の通信系において、CG1及びCG2は初段トランジスタQ5の入力整合回路を形成し、CG3及びCG4は初段トランジスタQ5と次段トランジスタQ6の間の段間整合回路を形成し、CG5乃至CG7は次段トランジスタQ6と出力段トランジスタQ7、Q8の間の段間整合回路を形成している。これらの整合回路が、図6に示すように集積受動デバイス21に組み込まれている。

### 【0039】

図7は集積受動デバイス21の一部を示す模式的断面図である。この断面図には、次段トランジスタQ2と最終段（出力段）トランジスタQ3、Q4の間の段間整合回路を形成するCP5、CP6、CP7が示されている。CP5の電極の一方は集積受動デバイス21の上面の電極22（図6の左側の電極）に接続され、CP7の電極の一方は集積受動デバイス21の上面の電極22（図6の右側の電極）に接続されている。そして、これら電極22は、図4に示すように、第1半導体チップ15の周囲に位置するワイヤ接続パッド8にワイヤ23を介して電気的に接続されることになる。

### 【0040】

集積受動デバイス（IPD：integrated Passive Device）21は、図7に示

すように、主面に絶縁層35を有するガラス板等からなる基板34の主面に、導体層及び絶縁層を所定箇所所定形状に繰り返して積層形成する。この形成の途中段階で所定の導体層間に誘電体層を形成することによって図7に示すように容量素子（コンデンサ）を形成することができる。また、図示しないが所定の導体層間に抵抗材料を介在させれば抵抗素子を形成でき、渦巻き状に導体層を配置することによってインダクタンス素子（インダクタ）を形成することができる。

#### 【0041】

図7において、36a, 36b, 36c, 36dは導体層、37は誘電体層、38及び39は絶縁層である。最上層の保護膜としての絶縁層39が設けられない領域には図6に示す電極22が露出するようになっている。電極22はワイヤボンディングに適した平坦な構造（図1、図6参照）、またはフリップ・チップ接続するためのバンプ電極とすることができます。図7はこのようにして形成したCP5, CP6, CP7を示してある。

#### 【0042】

IPDは多くの受動素子を小型に組み込むことができるため近年多用されている。IPDとしては、配線基板上に導体又は誘電体からなる薄膜を順次形成して各受動部品を形成する構造や、半導体基板の主面に所定パターンの拡散領域を形成するとともに、絶縁層や配線等を形して各受動部品を形成する構造が知られている。

#### 【0043】

本実施形態1で使用されるコンデンサは、容量値が1～50pF程度であり、1個のコンデンサの誘電体層38の面積は300 $\mu$ m<sup>2</sup>程度であることから、図6に示すように、14個程度のコンデンサを組み込んだ集積受動デバイス21は、縦横が1mm程度と小型になることから第1半導体チップ15に充分搭載することができる。このような集積受動デバイス21は、ディスクリートなチップコンデンサを14個実装する面積の30%程度と大幅に小型にできる。

#### 【0044】

図5はモジュール基板2の上面に搭載配置される第1半導体チップ15、第2半導体チップ25や電子部品30等を示す模式図である。なお、ワイヤや半田は

省略してある。

#### 【0045】

本実施形態1の半導体モジュール1においては、発熱量が大きい出力段トランジスタを組み込んだ第2半導体チップ25は、窪み10の底に固定されて効果的に放熱が行われるようになり、発熱量が出力段トランジスタに比較して充分小さい初段・次段トランジスタを組み込んだ第1半導体チップ15はモジュール基板2の上面に搭載されている。

#### 【0046】

また、本実施形態1では、出力段トランジスタQ3, Q4, Q7, Q8の入力整合回路、バイアス整合回路及び出力整合回路を公差の小さいディスクリート部品で構成してある。即ち、通常公差（ $10\Omega \pm 5\%$ ）のものを使用することなく、狭公差（ $10\Omega \pm 1\%$ ）のディスクリート部品を使用する。これにより、特性（電力効率）を、例えば、2%程度向上させることができる。

#### 【0047】

また、半導体モジュール1の製造において、最終段増幅器の出力整合回路を構成するディスクリート部品としては、それぞれ特性が異なる複数のディスクリート部品を用意しておき、最終の特性改善でのチューニングにおいて、特性に合わせてディスクリート部品を選択してモジュール基板2に搭載して良好な特性を有する半導体モジュール1を製造する。

#### 【0048】

本実施形態1によれば以下の効果を有する。

#### 【0049】

(1) モジュール基板2の上面に搭載した第1半導体チップ15の上面に集積受動デバイス21を搭載配置する三次元実装構造になるため、モジュール基板2の上面に第1半導体チップや集積受動デバイスを並べて搭載する構造に比較して半導体モジュール1を小型にすることができます。

#### 【0050】

(2) 集積受動デバイス21は複数のコンデンサを複数集積したものであることから、ディスクリートなコンデンサ部品（ディスクリート部品）をモジュール

基板2上に搭載する構造に比較して半導体モジュール1を小型にすることができます。そして、このような集積受動デバイス21を第1半導体チップ15上に搭載することから、さらに半導体モジュール1の小型化が達成できる。

#### 【0051】

(3) 集積受動デバイス21には、初段トランジスタ(増幅器)Q1, Q5の入力整合回路及び出力整合回路が組み込まれている。そして、この集積受動デバイス21は初段増幅器Q1, Q5が組み込まれた第1半導体チップ15上に搭載されていることから、初段増幅器Q1, Q5と入力整合回路及び出力整合回路とが近くなり、RF(高周波)上、損失やインピーダンス変動が少なくなる。

#### 【0052】

(4) 出力段トランジスタQ3, Q4, Q7, Q8の入力整合回路、バイアス整合回路及び出力整合回路を公差の小さいディスクリート部品で構成してあることから、特性(電力効率)を向上させることができる。例えば、電力効率を2%程度向上させることができる。

#### 【0053】

(5) 発熱量が大きい第2半導体チップ25をモジュール基板2の上面に設けた窪み10の底上に固定する構造になっていることから、ビニア11を介してモジュール基板2の下面の放熱パッド5に速やかに熱を伝達できるため、放熱性の高い半導体モジュール1(高周波電力増幅装置)を提供することができる。従って、この半導体モジュール1を組み込んだ携帯電話機も半導体モジュール1の放熱性能が良好であることから安定して動作することになる。

#### 【0054】

ここで、本実施形態1の変形例について説明する。変形例の説明における図では説明に必要な符号を付し、一部の符号は省略する。

#### 【0055】

図9は第1の変形例である半導体モジュールの模式的断面図である。本例の半導体モジュール1は、実施形態1において、モジュール基板2の上面に搭載した第1半導体チップ15の上面に集積受動デバイス21をフリップ・チップ接続して搭載したものである。従って、図9に示すように、あらかじめ、集積受動デバ

イス21の電極を半田バンプ電極40として形成しておくとともに、半田バンプ電極40に対応して第1半導体チップ15の上面にもフリップ・チップ接続用の電極41を形成しておく。そして、集積受動デバイス21の搭載時、各電極41に各半田バンプ電極40を重ね、一時的加熱（リフロー）によって半田バンプ電極40を軟化させて電極41との接続を行う。

#### 【0056】

第1の変形例による半導体モジュール1は、第1半導体チップ15の上面に集積受動デバイス21をフリップ・チップ接続によって搭載することからワイヤを使用しない。従って、ワイヤによるインダクタンスの変動がなく、特性が向上するとともに、チューニングが簡略化できるというメリットがある。

#### 【0057】

図10は第2の変形例である半導体モジュールの簡略化した模式的断面図である。本例の半導体モジュール1は、実施形態1において、モジュール基板2の上面に設けた窪み10の底にフリップ・チップ接続によって第2半導体チップ25を搭載し、この第2半導体チップ25の上面に絶縁性の接着剤45を介して第1半導体チップ15を搭載し、第1半導体チップ15の電極17と窪み10の周囲のモジュール基板2の上面に設けられたワイヤ接続パッド8を導電性のワイヤ18で電気的に接続した構造になっている。また、集積受動デバイス21はモジュール基板2の上面に搭載し、集積受動デバイス21の上面の電極22と集積受動デバイス21の周囲のモジュール基板2の上面に設けられたワイヤ接続パッド8を導電性のワイヤ23で電気的に接続した構造になっている。

#### 【0058】

本例では、あらかじめ、第2半導体チップ25の電極を半田バンプ電極46として形成しておくとともに、半田バンプ電極46に対応して窪み10の底にも図示しないフリップ・チップ接続用の電極を形成しておく。そして、第2半導体チップ25の搭載時、窪み10の底の各電極に各半田バンプ電極46を重ね、一時的加熱（リフロー）によって半田バンプ電極46を軟化させて電極との接続を行う。

#### 【0059】

本例では、次段及び最終段増幅器のグランドは半田バンプ電極 46 で強化できる。初段増幅器はグランド電位の変動が少ないので、電極 17 とワイヤ接続パッド 8 をワイヤ 18 で接続する構成で充分対応できる。

#### 【0060】

図 11 は第 3 の変形例である半導体モジュールの簡略化した模式的断面図である。本例の半導体モジュール 1 は、実施形態 1 の半導体モジュール 1 において、窪み 10 の底に初段・次段・最終段増幅器を組み込んだ半導体チップ 50 を搭載し、この半導体チップ 50 の図示しない電極とモジュール基板 2 の上面の図示しないワイヤ接続パッドを導電性のワイヤ 51 で接続し、半導体チップ 50 の上面に集積受動デバイス 21 を半田バンプ電極 40 を介してフリップ・チップ接続でモジュール基板 2 の上面の図示しない電極に電気的に接続するものである。また出力整合回路は狭公差のディスクリート部品を組み合わせて形成されている。

#### 【0061】

本例ではワイヤによる特性変動が無く、安定した特性出しが可能であり、また、ワイヤボンド用の基板パッドも必要なく、更なる小型化が出来るという効果がある。

#### 【0062】

本実施形態 1 では、第 1 半導体チップ 15 に高周波電力増幅装置の初段増幅器を組み込んだ例で説明したが、第 1 半導体チップ 15 には、この高周波電力増幅装置を制御する制御回路を組み込むことも可能である。例えば、制御回路として、A P C (自動パワー制御回路) や A G C (自動利得制御回路) 等の回路を組み込む。

#### 【0063】

##### (実施形態 2)

図 12 乃至図 14 は本発明の他の実施形態 (実施形態 2) である半導体モジュールに係わる図である。本例では、実施形態 1 の半導体モジュール 1 において、出力整合回路を集積受動デバイス 55 に組み込み、この集積受動デバイス 55 をモジュール基板 2 の上面に搭載し、集積受動デバイス 55 の上面に設けられた図示しない電極と集積受動デバイス 55 の周囲のモジュール基板 2 の上面に設けら

れた図示しないワイヤ接続パッドを導電性のワイヤ56で電気的に接続したものである。従って、モジュール基板2の上面には出力整合回路を構成するディスクリート部品は搭載しない。他の構成は実施形態1と同じである。

#### 【0064】

図13は、本例の半導体モジュール1の等価回路図である。等価回路としては、実施形態1の図8に示す等価回路と同じである。一点鎖線枠で囲んだ部分が集積受動デバイス55に組み込まれた部分である。即ち、集積受動デバイス55には、最終段（出力段）トランジスタQ3, Q4のドレイン端子と出力端子Pout1との間に設けられるCP9～CP12及びインダクタL1、最終段（出力段）トランジスタQ7, Q8のドレイン端子と出力端子Pout2との間に設けられるCG9～CG13及びインダクタL2が組み込まれている。

#### 【0065】

図14は半導体モジュールに組み込まれた集積受動部品の断面図であり、CP12, CP11及びインダクタL1が形成された部分を示す。インダクタL1は導体層を渦巻き状に配置することによって形成されている。なお、36e, 36f, 36g, 36hは導体層である。

#### 【0066】

本例では出力整合回路を集積受動デバイス55に組み込み、これをモジュール基板2の上面に搭載する構造であることから、複数のディスクリート部品をモジュール基板2の上面に搭載して出力整合回路を構成する構造に比較して、さらに大幅に半導体モジュール1を小型化できる。また、モジュール基板2を小さくしない場合にはさらに多くのディスクリート部品の搭載が可能になり、更なる高機能化が達成できる。

#### 【0067】

図15は本実施形態2の第1の変形例である半導体モジュールの簡略化した模式的断面図である。本例では、実施形態2の集積受動デバイス55の電極をバンプ電極58とし、集積受動デバイス55をバンプ電極58を介してモジュール基板2の正面にフリップ・チップ実装したものである。

#### 【0068】

本例では、フリップ・チップ接続によって集積受動デバイス55をモジュール基板2に搭載することからワイヤを使用しない。従って、ワイヤによるインダクタンスの変動がなく、特性が向上するとともに、チューニングが簡略化できるというメリットがある。

### 【0069】

図16は本実施形態2の第2の変形例である半導体モジュールの簡略化した模式的断面図である。本例は、実施形態1の構造の半導体モジュール1において、出力整合回路を集積受動デバイス55に組み込み、この集積受動デバイス55を窪み10の底に搭載した第2半導体チップ25の上面に搭載し、集積受動デバイス55の上面に設けられた図示しない電極と窪み10の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドを導電性のワイヤ56で電気的に接続したものである。従って、モジュール基板2の上面には出力整合回路を構成するディスクリート部品は搭載しない。他の構成は実施形態1と同じである。本例では、出力整合回路を組み込んだ集積受動デバイス55を第2半導体チップ25上に搭載することから、モジュール基板2の更なる小型化、またはより多くのディスクリート部品の搭載が可能になり、更なる高機能化が達成できる。

### 【0070】

#### (実施形態3)

図17は本発明の他の実施形態（実施形態3）である半導体モジュールの簡略化した模式的断面図である。本実施形態3の半導体モジュール1は、第1半導体チップ15と集積受動デバイス21の搭載場所が異なる以外は実施形態1の半導体モジュール1と同じ構造になっている。

### 【0071】

即ち、モジュール基板2の窪み10の底に搭載した第2半導体チップ25上にスペーサ60を介して第1半導体チップ15を搭載するとともに、集積受動デバイス21はモジュール基板2の上面に直接搭載した構造になっている。

### 【0072】

スペーサ60は、第2半導体チップ25の上面に図示しない接着剤によって固定され、このスペーサ60上に第1半導体チップ15が図示しない接着剤によっ

て固定される。第1半導体チップ15と第2半導体チップ25は、スペーサ60によって電気的に接続されないように、スペーサ60全体を絶縁性のもので形成したり、あるいは中層または表層が絶縁層となるものによって形成されている。スペーサ60による電気的絶縁が十分な場合には、接着剤は絶縁性または導電性のいずれでもよい。電気的絶縁が不十分な場合には接着剤は絶縁性のものを使用すればよい。また、スペーサ60は両面が接着性の絶縁性テープ等であってもよい。

#### 【0073】

スペーサ60は、第2半導体チップ25の上面の図示しない電極に接触しないように第2半導体チップ25よりも小さく、かつ第2半導体チップ25の中央に固定されている。スペーサ60の上面に固定される第1半導体チップ15は、図示しない電極が存在する面が上面になるように搭載されている。第1半導体チップ15の電極と窪み10の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ18で電気的に接続されている。

#### 【0074】

モジュール基板2に搭載された集積受動デバイス21の上面の図示しない電極と、集積受動デバイス21の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ23で電気的に接続されている。

#### 【0075】

初段増幅器が組み込まれた第1半導体チップ15は、出力段増幅器を組み込んだ第2半導体チップ25に比較して、発熱量が小さいことから、第2半導体チップ25上への搭載も可能になる。スペーサ60を熱伝導性が良好なもので形成すれば、第1半導体チップ15で発生した熱はスペーサ60、第2半導体チップ25及びビニア11を介して放熱パッド5に速やかに伝達することができる。

#### 【0076】

本実施形態3の半導体モジュール1は、第1半導体チップ15をモジュール基板2の上面に搭載することなく、第2半導体チップ25上に搭載するため、第1半導体チップ15を搭載しない分、モジュール基板2の小型化を図ることができる。また、モジュール基板2を小型にしない場合には、その分他のディスクリー

ト部品等の搭載が可能になり、高機能化が達成できる。

### 【0077】

(実施形態4)

図18は本発明の他の実施形態(実施形態4)である半導体モジュールの簡略化した模式的断面図である。本実施形態4の半導体モジュール1は、第1半導体チップ15と集積受動デバイス21の搭載関係を逆にすることと、第1半導体チップ15よりも集積受動デバイス21の寸法が大きくなる以外は実施形態1の半導体モジュール1と同じ構成になっている。

### 【0078】

即ち、モジュール基板2の上面に第1半導体チップ15を直接搭載せず、モジュール基板2の上面に集積受動デバイス21を電極が上面になる姿勢で図示しない接着剤で搭載し、この集積受動デバイス21の上面に図示しない接着剤を用いて第1半導体チップ15を搭載したものである。

### 【0079】

集積受動デバイス21の図示しない電極に第1半導体チップ15が接触しないように集積受動デバイス21は大きく形成され、第1半導体チップ15は集積受動デバイス21の図示しない電極に接触しないように集積受動デバイス21の中央に固定されている。

集積受動デバイス21の上面の図示しない電極と、集積受動デバイス21の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ23で電気的に接続されている。集積受動デバイス21上の第1半導体チップ15の上面の図示しない電極と、集積受動デバイス21の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ18で電気的に接続されている。

### 【0080】

本実施形態4では、集積受動デバイス21に、面積が大きくなるインダクタを入れる場合に集積受動デバイスのサイズが、半導体チップ15より大きくなった場合に、小型化する場合には有効な構造である。この場合のインダクタの容量は、1nH～20nHである。

### 【0081】

図19は本実施形態4の変形例である半導体モジュールの簡略化した模式的断面図である。本例は実施形態4の半導体モジュール1において、第1半導体チップ15をその上面に搭載する集積受動デバイス21をモジュール基板2の上面にフリップ・チップ実装する点が異なる。

### 【0082】

本例では、実施形態4の集積受動デバイス21の電極をバンプ電極61とし、集積受動デバイス21をバンプ電極61を介してモジュール基板2の上面にフリップ・チップ実装し、集積受動デバイス21の上面に第1半導体チップ15を電極を上面にした状態で搭載する構造になっている。

### 【0083】

本例では、集積受動デバイス21の電極とモジュール基板2の電極をワイヤを用いて接続せず、バンプ電極を用いて電気的に接続する構造であることから、ワイヤによるインダクタンスの変動がなく、特性が向上するとともに、チューニングが簡略化できるというメリットがある。

### 【0084】

#### （実施形態5）

図20は本発明の他の実施形態（実施形態5）である半導体モジュールの簡略化した模式的断面図である。

### 【0085】

本実施形態5の半導体モジュール1は、実施形態3の半導体モジュール1において、モジュール基板2の上面に搭載していた集積受動デバイス21を、第2半導体チップ25上にスペーサ60を介して重ねて搭載した第1半導体チップ15上に集積受動デバイス21を搭載したものである。従って、他の構成部分は実施形態3の半導体モジュール1と同じである。

### 【0086】

第1半導体チップ15の上面に搭載される集積受動デバイス21は、第1半導体チップ15の上面の図示しない電極に接触しないように第1半導体チップ15よりも小さくなっているとともに、第1半導体チップ15の中央位置に搭載され

ている。

### 【0087】

集積受動デバイス21の上面の図示しない電極と、窪み10の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドは導電性のワイヤ23で電気的に接続されている。

### 【0088】

本実施形態5の半導体モジュール1は、集積受動デバイス21をモジュール基板2の上面に搭載することなく、第2半導体チップ25上に搭載するため、集積受動デバイス21を搭載しない分、モジュール基板2の小型化を図ることができる。また、モジュール基板2を小型にしない場合には、その分他のディスクリート部品等の搭載が可能になり、高機能化が達成できる。

### 【0089】

#### (実施形態6)

図21は本発明の他の実施形態（実施形態6）である半導体モジュールの簡略化した模式的断面図である。

### 【0090】

本実施形態6の半導体モジュール1は、第1半導体チップ15と集積受動デバイス21の搭載場所が異なる以外は実施形態1の半導体モジュール1と同じ構造になっている。

### 【0091】

即ち、モジュール基板2の窪み10の底に搭載した第2半導体チップ25上に、バンプ電極58を有する集積受動デバイス21をフリップ・チップ実装し、この集積受動デバイス21の上面に電極が上面となる姿勢で第1半導体チップ15を搭載し、第1半導体チップ15の図示しない電極と窪み10の周囲のモジュール基板2の上面に設けられた図示しないワイヤ接続パッドを導電性のワイヤ18で電気的に接続した構造になっている。

### 【0092】

図示しないが、集積受動デバイス21の各バンプ電極58は第1半導体チップ15の各電極と電気的に接続されて、図8の等価回路図の一部を構成することに

なる。

#### 【0093】

本実施形態6の半導体モジュール1は、第1半導体チップ15及び集積受動デバイス21をモジュール基板2の上面に搭載することなく、第2半導体チップ25上に搭載する構成になるため、第1半導体チップ15や集積受動デバイス21を搭載しない分、モジュール基板2の小型化を図ることができる。また、モジュール基板2を小型にしない場合には、その分他のディスクリート部品等の搭載が可能になり、高機能化が達成できる。

#### 【0094】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。実施形態では、増幅器（トランジスタ）としてMOSFET（Metal Oxide Semiconductor Field Effect Transistor）を用いているが、他のシリコンまたは化合物半導体を含むバイポーラ系トランジスタであってもよい。

#### 【0095】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

#### 【0096】

（1）モジュール基板の上面に搭載した半導体チップの上面に集積受動デバイスや他の半導体チップを搭載する三次元実装構造になることから半導体モジュールの小型化や高機能化を図ることができる。

#### 【0097】

（2）集積受動デバイスは複数の受動素子を複数集積したものであることから、ディスクリート部品をモジュール基板上に搭載する構造に比較して半導体モジュールを小型にすることができる。そして、このような集積受動デバイスを半導体チップと重ねるようにしてモジュール基板上に搭載することから、さらに半導体モジュールの小型化が達成できる。

**【0098】**

(3) 発熱量が大きい半導体チップをモジュール基板の上面に設けた窪みの底上に固定する構造になっていることから、ビニアを介してモジュール基板の下面の放熱パッドに速やかに熱を伝達できるため、放熱性の高い半導体モジュールを提供することができる。

**【図面の簡単な説明】****【図1】**

本発明の一実施形態（実施形態1）である半導体モジュールの模式的断面図である。

**【図2】**

前記半導体モジュールの平面図である。

**【図3】**

前記半導体モジュールの底面図である。

**【図4】**

前記半導体モジュールの模式的拡大断面図である。

**【図5】**

前記半導体モジュールにおける電子部品の配置状態を示す模式的平面図である。

**【図6】**

前記半導体モジュールに組み込まれる集積受動部品の回路構成を示す模式的平面図である。

**【図7】**

前記集積受動部品の一部を示す模式的断面図である。

**【図8】**

前記半導体モジュールの等価回路図である。

**【図9】**

本実施形態1の第1の変形例である半導体モジュールの模式的断面図である。

**【図10】**

本実施形態1の第2の変形例である半導体モジュールの模式的断面図である。

**【図11】**

本実施形態1の第3の変形例である半導体モジュールの簡略化した模式的断面図である。

**【図12】**

本発明の他の実施形態（実施形態2）である半導体モジュールの簡略化した模式的断面図である。

**【図13】**

本実施形態2の半導体モジュールの等価回路図である。

**【図14】**

本実施形態2の半導体モジュールに組み込まれた集積受動部品の断面図である。

**【図15】**

本実施形態2の第1の変形例である半導体モジュールの簡略化した模式的断面図である。

**【図16】**

本実施形態2の第2の変形例である半導体モジュールの簡略化した模式的断面図である。

**【図17】**

本発明の他の実施形態（実施形態3）である半導体モジュールの簡略化した模式的断面図である。

**【図18】**

本発明の他の実施形態（実施形態4）である半導体モジュールの簡略化した模式的断面図である。

**【図19】**

本実施形態4の変形例である半導体モジュールの簡略化した模式的断面図である。

**【図20】**

本発明の他の実施形態（実施形態5）である半導体モジュールの簡略化した模式的断面図である。

## 【図21】

本発明の他の実施形態（実施形態6）である半導体モジュールの簡略化した模式的断面図である。

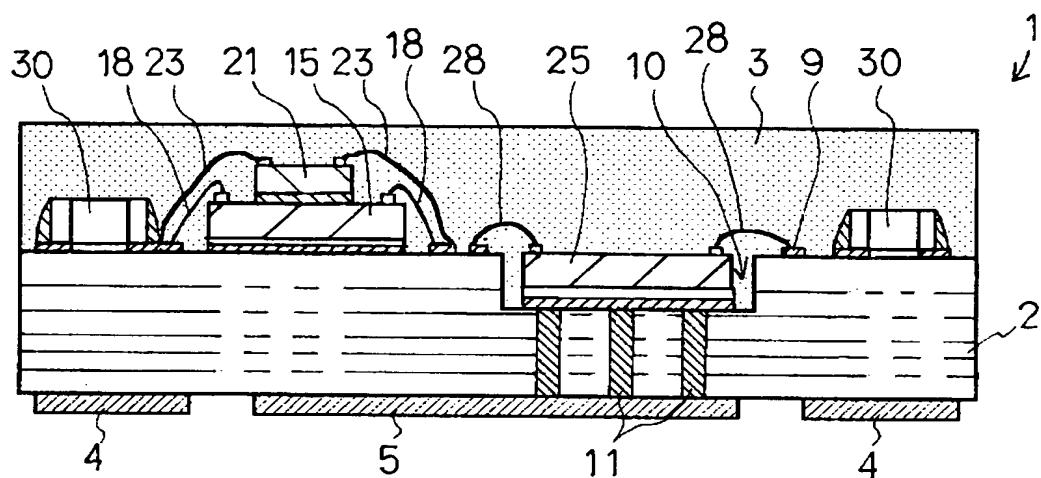
## 【符号の説明】

1…半導体モジュール（半導体装置）、2…モジュール基板、3…封止部、4…外部電極端子、5…放熱パッド、6…チップ搭載パッド、7…電極接続パッド、8…ワイヤ接続パッド、9…配線、10…窪み、11…ビニア、12…チップ搭載パッド、15…第1半導体チップ、16…接着材、17…電極、18…ワイヤ、20…接着剤、21…集積受動デバイス、22…電極、23…ワイヤ、25…第2半導体チップ、26…接着剤、27…電極、28…ワイヤ、30…電子部品（チップ状電子部品）、31…電極、32…接着剤、34…基板、35…絶縁層、36a, 36b, 36c, 36d…導体層、37…誘電体層、38, 39…絶縁層、40…半田バンプ電極、41…電極、45…絶縁性の接着剤、46…半田バンプ電極、50…半導体チップ、51…ワイヤ、55…集積受動デバイス、56…ワイヤ、58…バンプ電極、60…スペーサ、61…バンプ電極。

【書類名】 図面

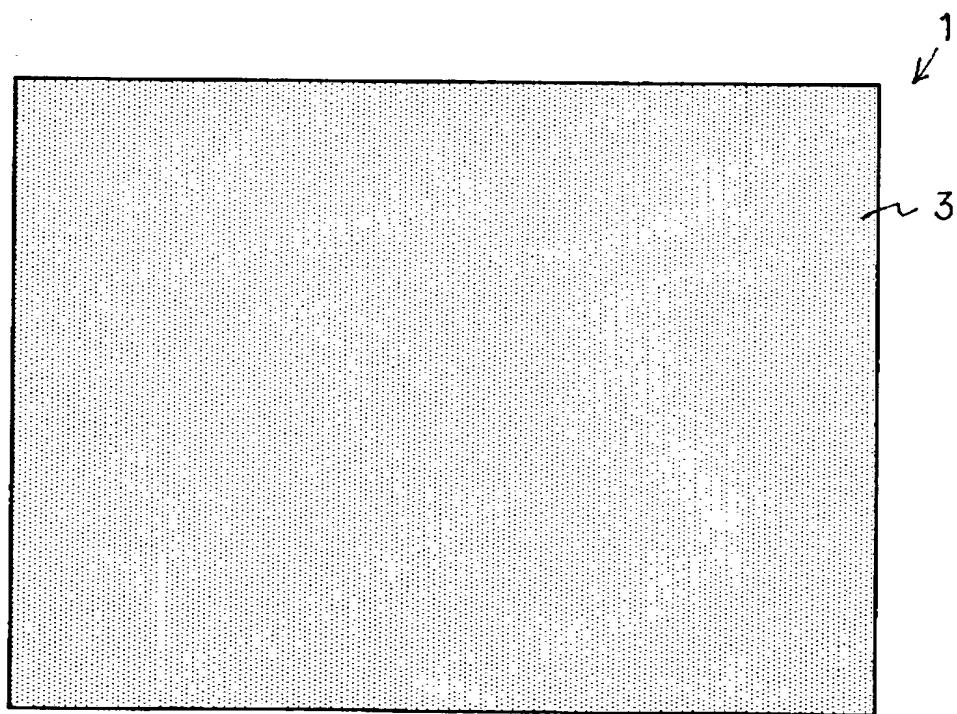
【図1】

図1



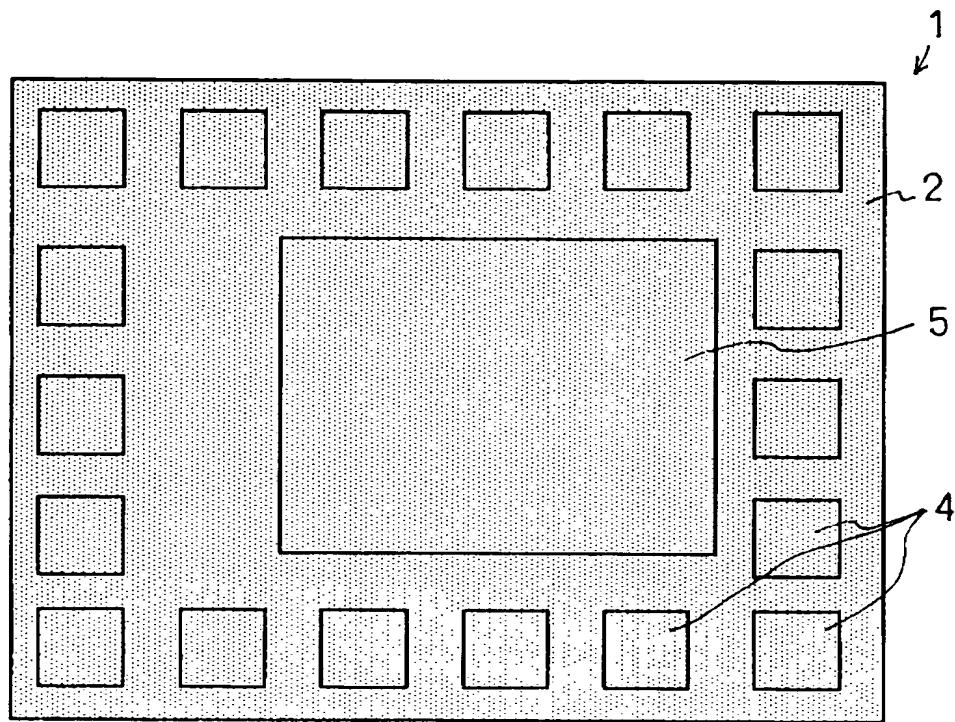
【図2】

図2

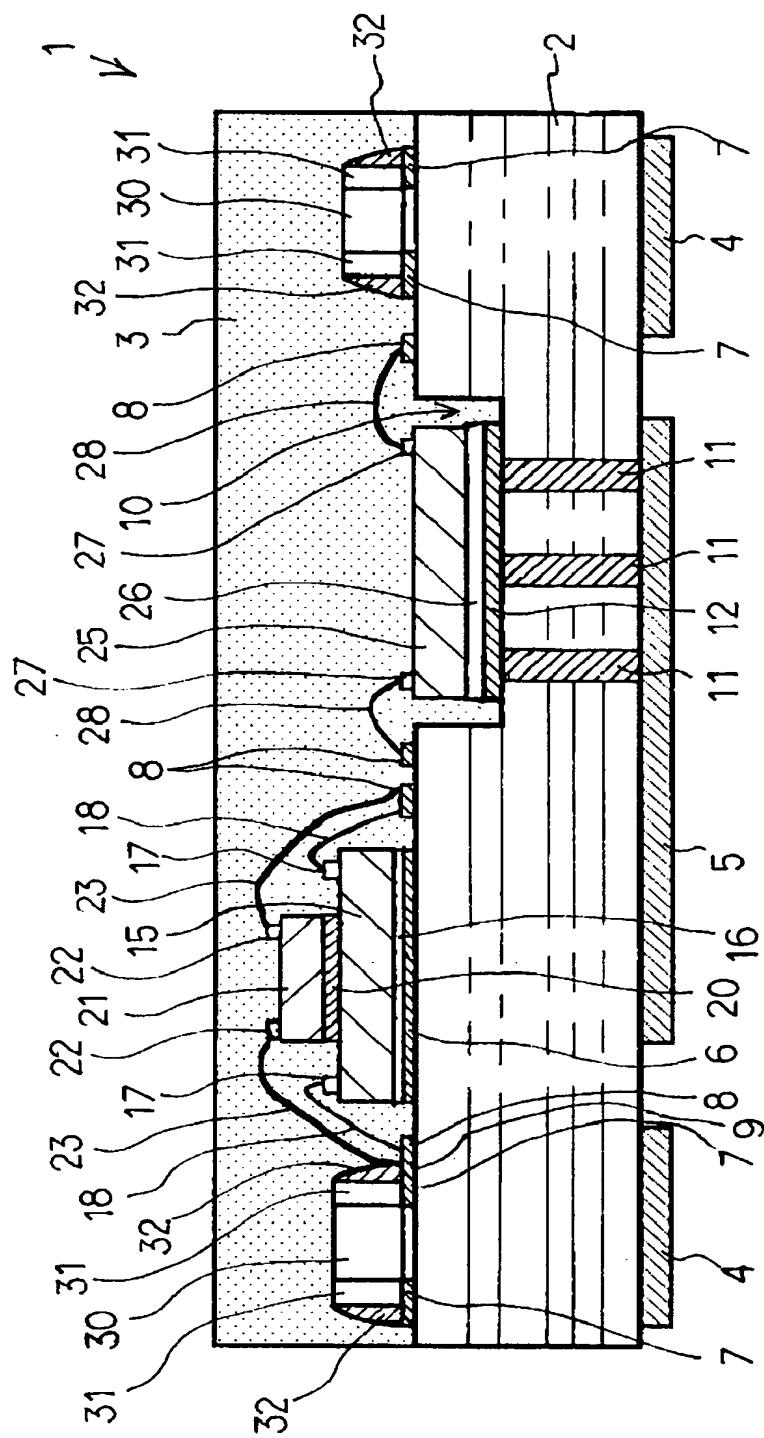


【図3】

図 3

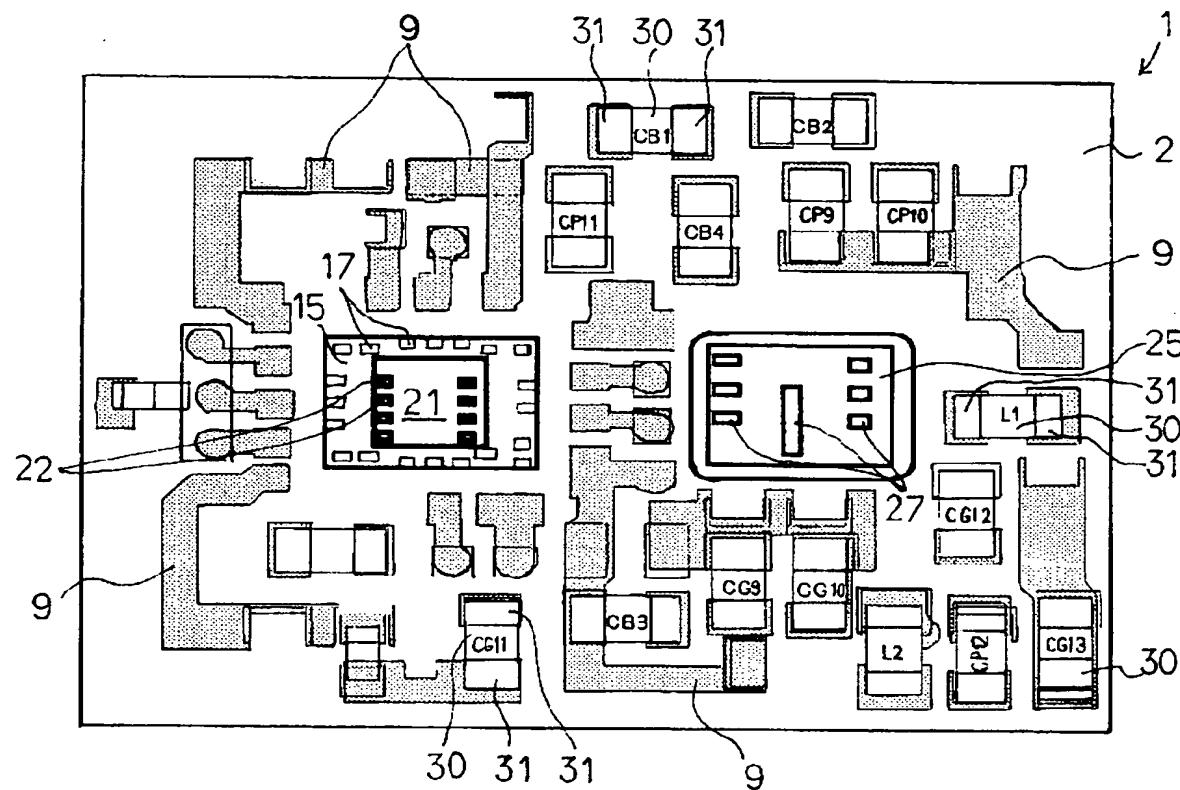


【図4】



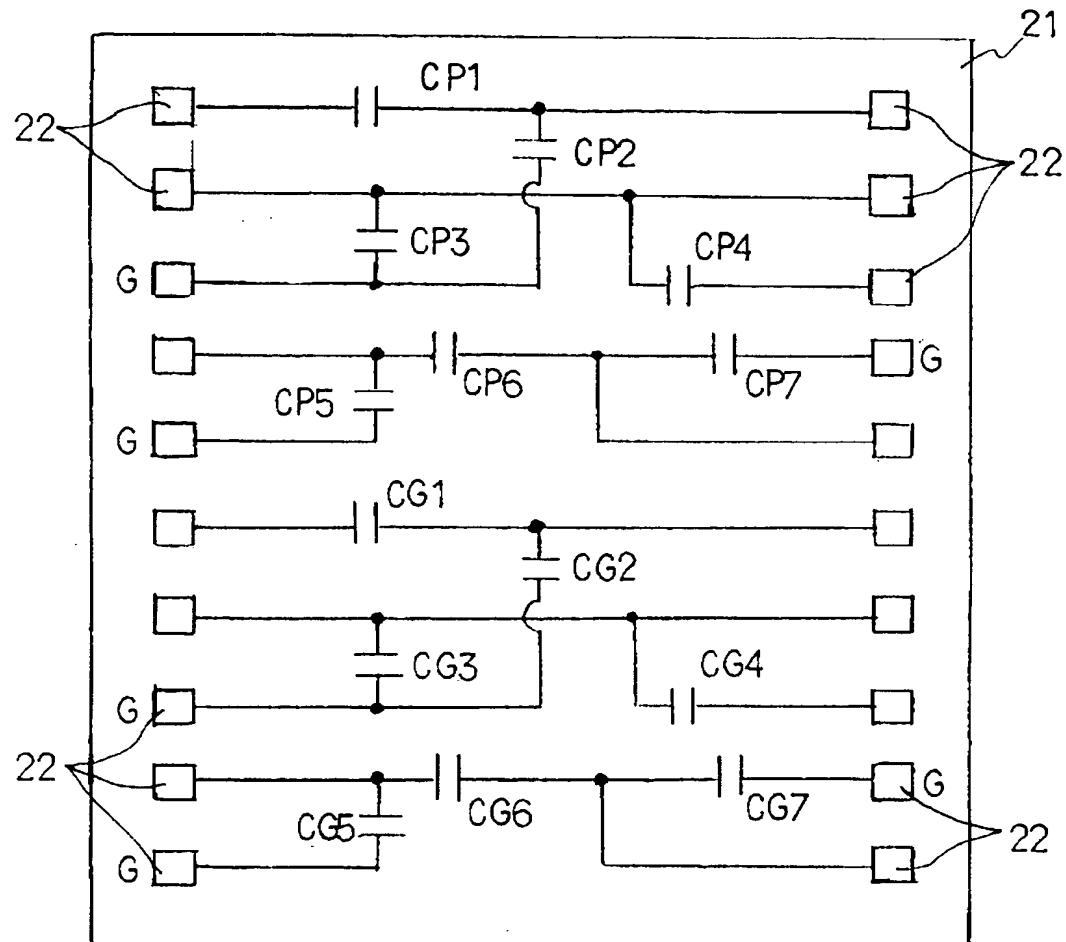
【図5】

図5



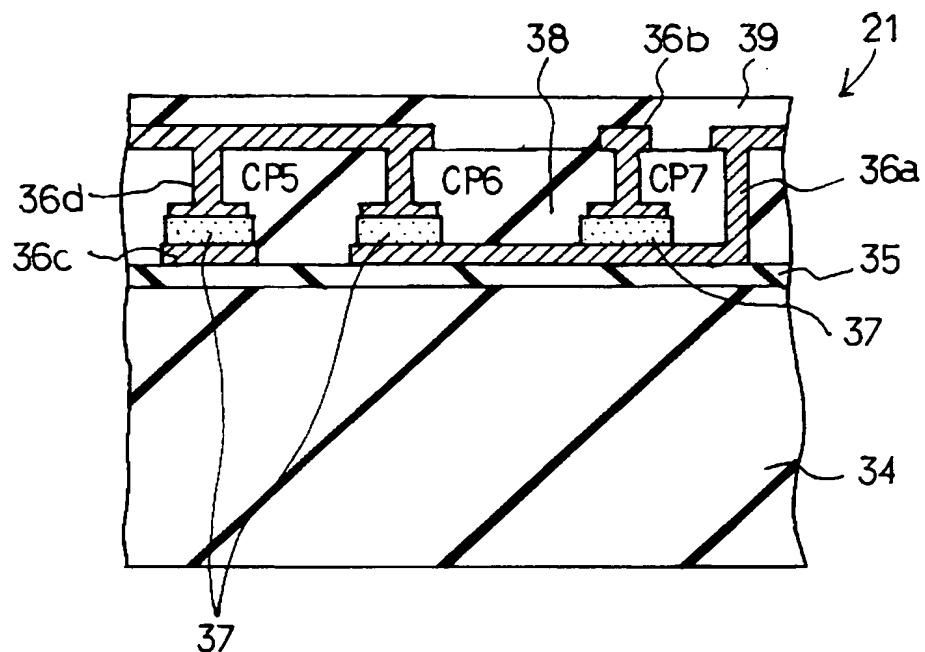
【図6】

図6



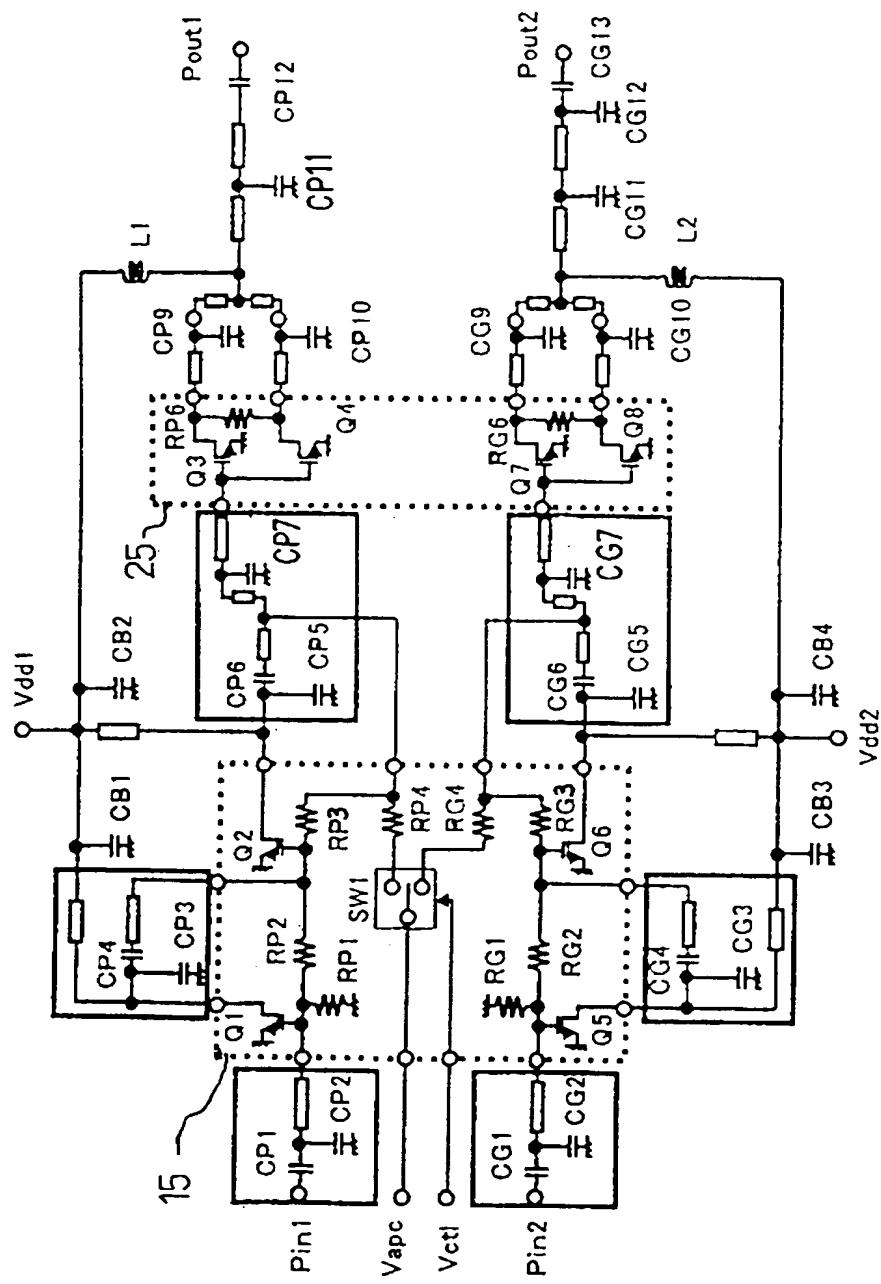
【図7】

図7



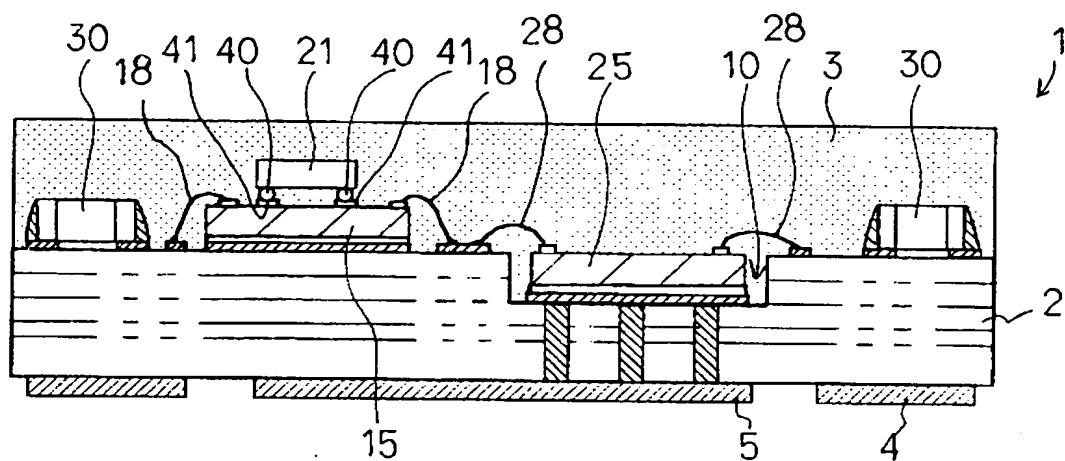
【図8】

図8



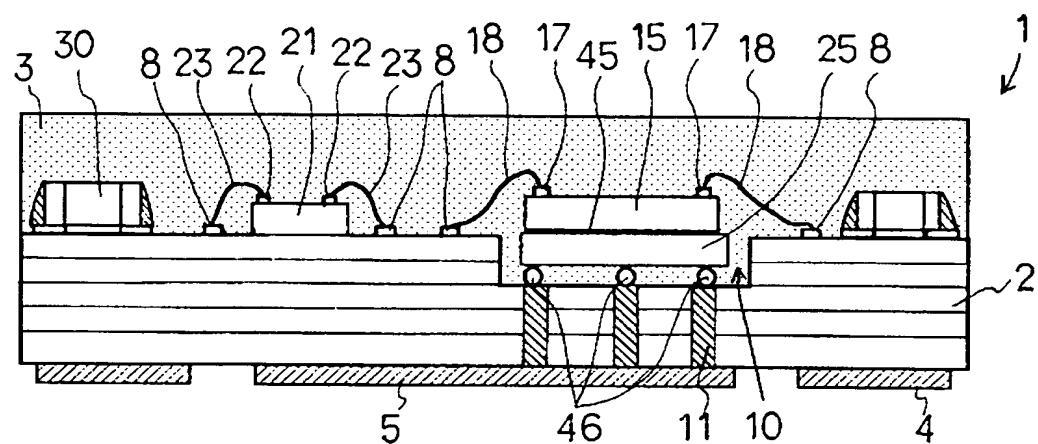
【図9】

図9



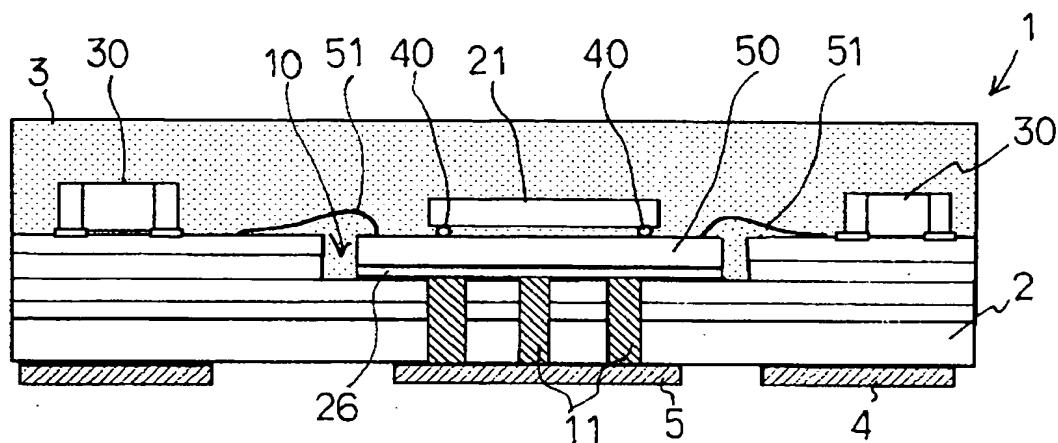
【図10】

図10



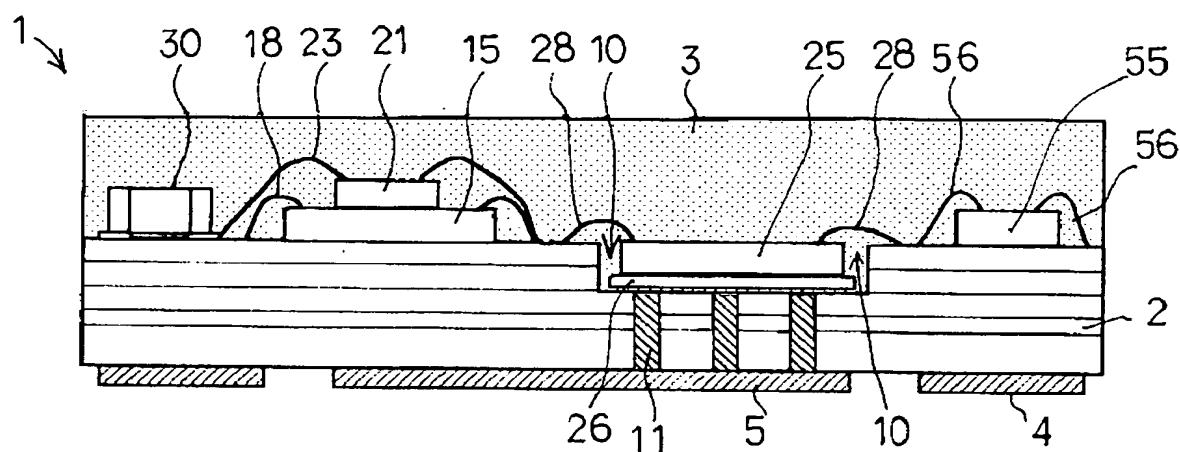
【図11】

図11



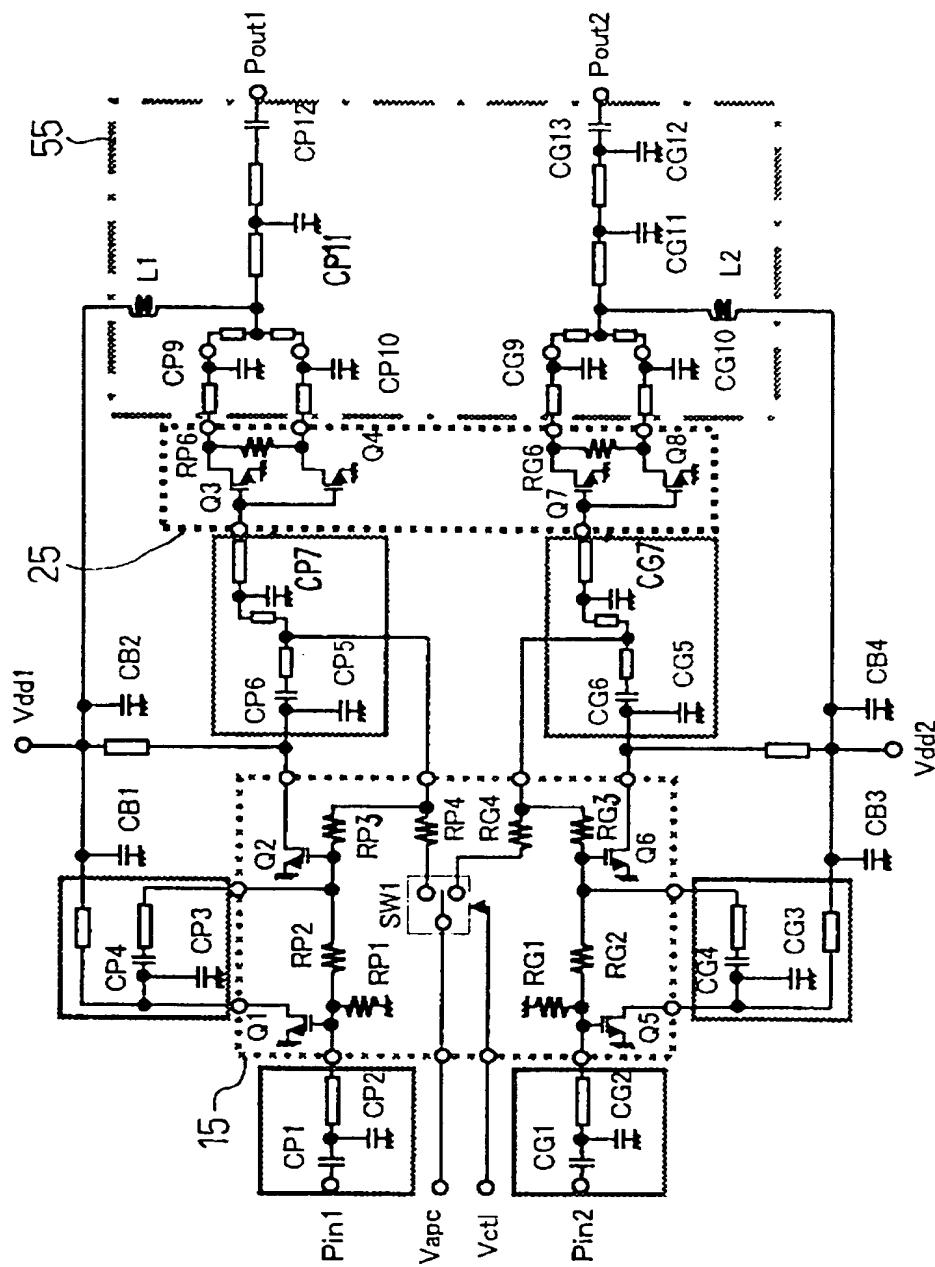
【図12】

図12



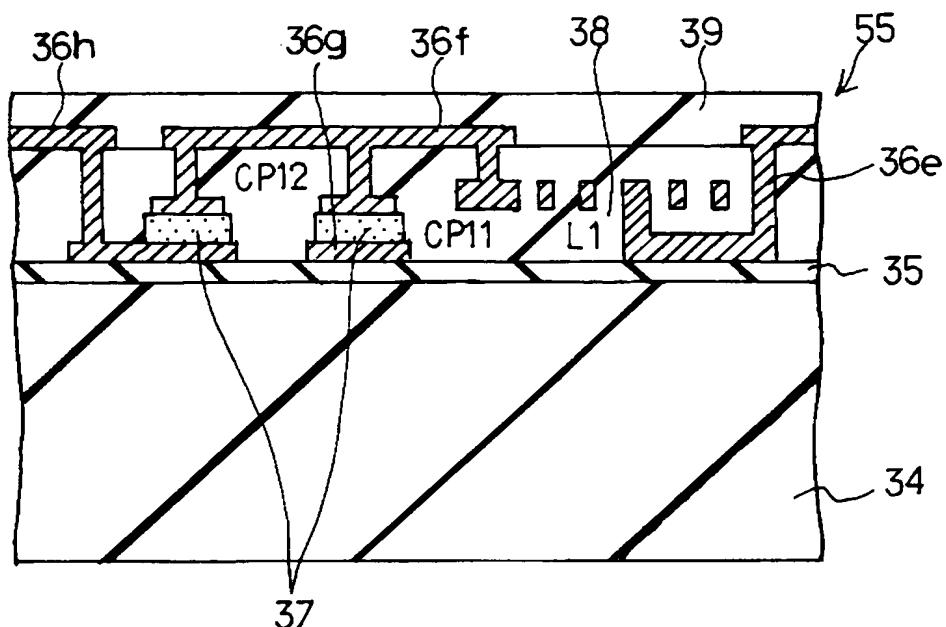
【図 13】

図 13



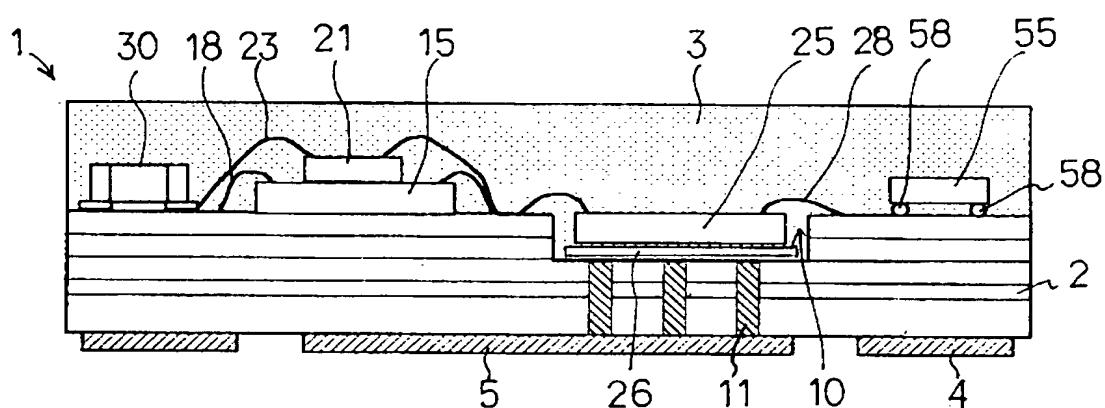
【図 14】

図 14



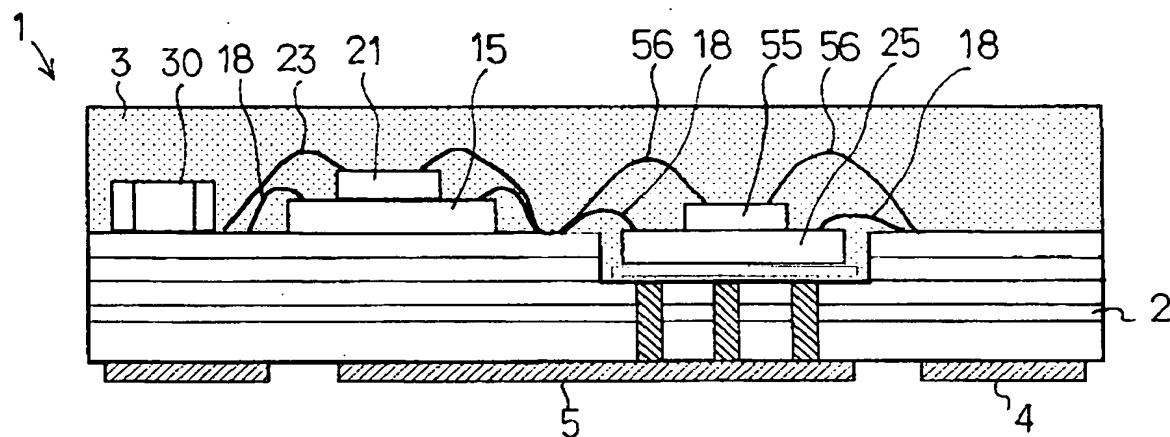
【図 15】

図 15



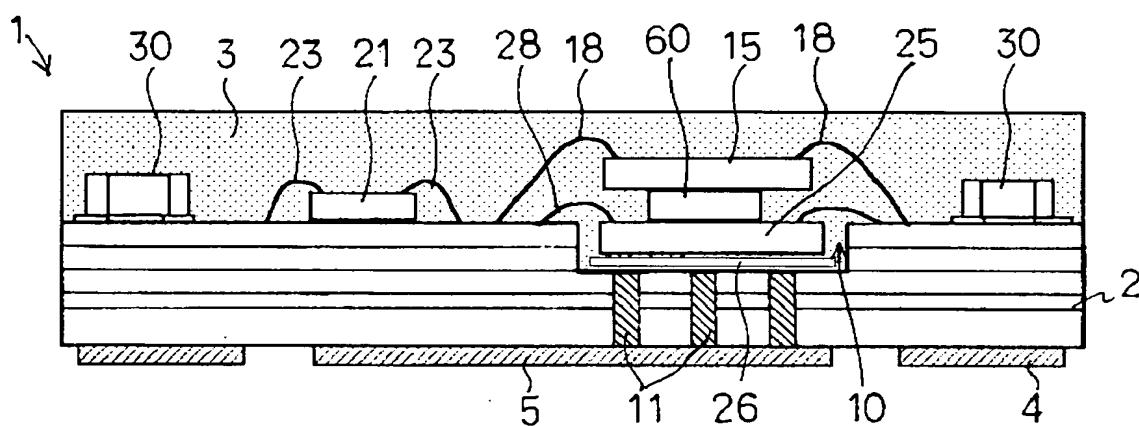
【図16】

図16



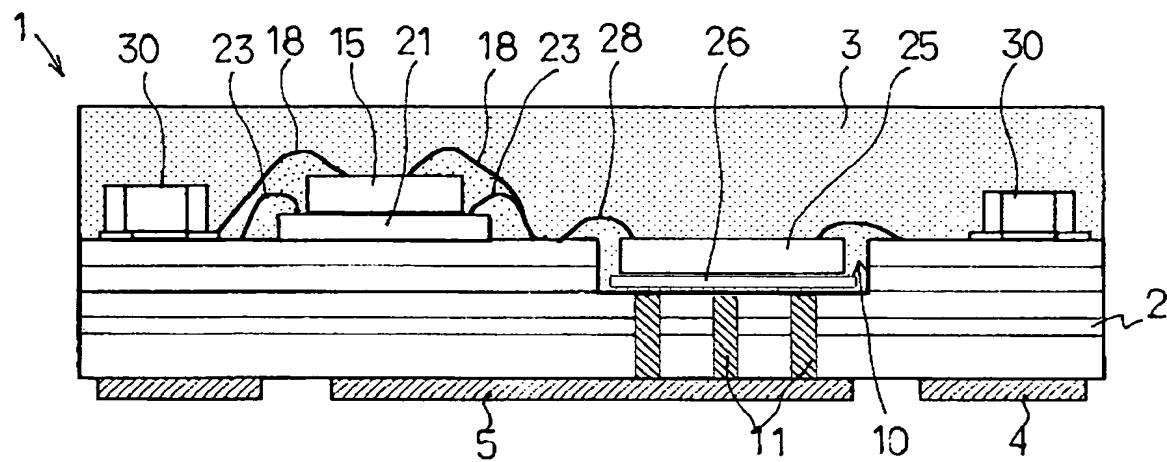
【図17】

図17



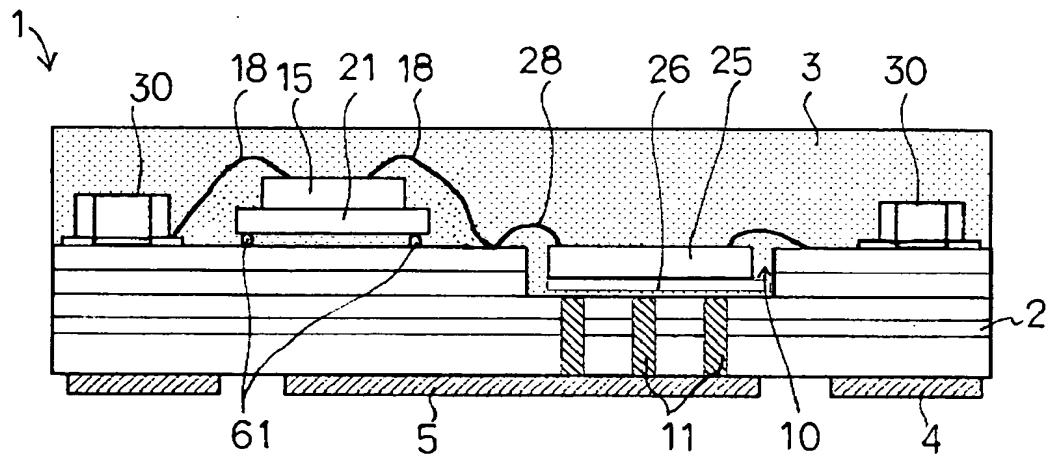
【図18】

図18



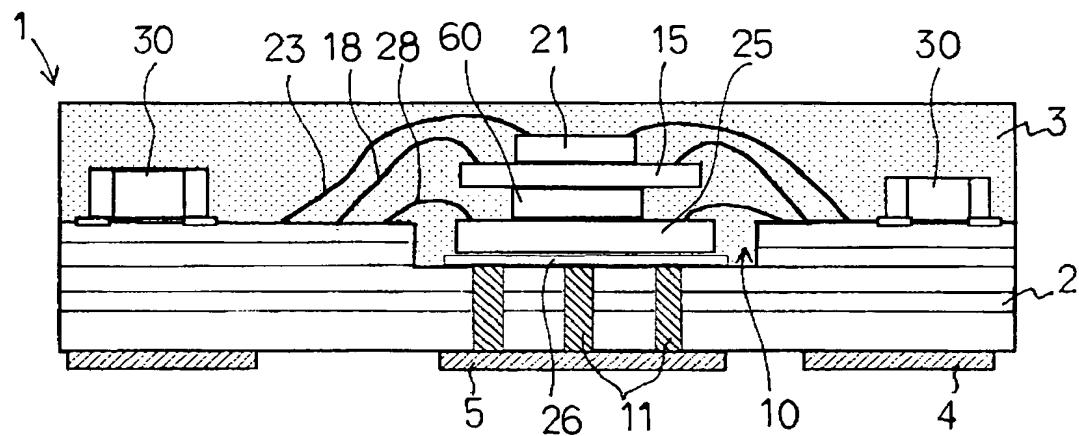
【図19】

図19



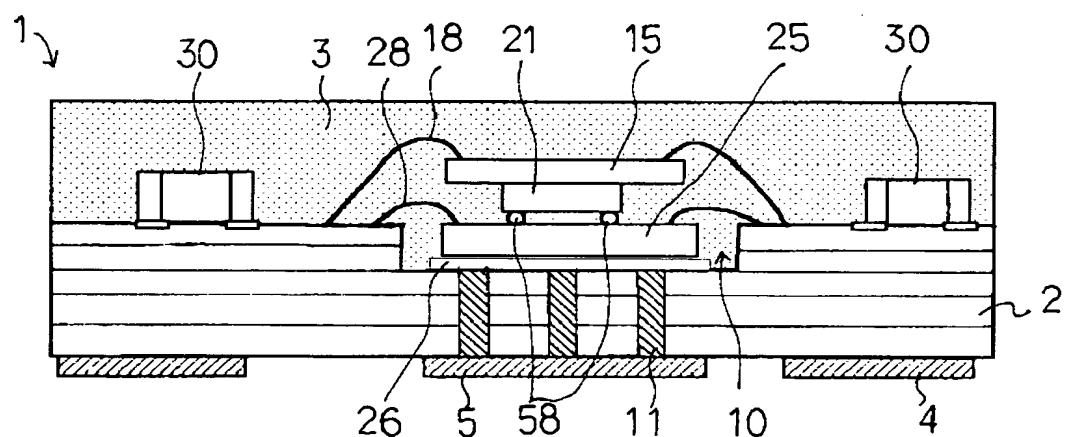
【図20】

## 図20



【図21】

## 図21



【書類名】 要約書

【要約】

【課題】 半導体モジュールの小型化。

【解決手段】 下面に外部電極端子及び放熱パッドを有するモジュール基板と、高周波電力増幅装置の初段トランジスタを組み込んだ第1半導体チップと、次段及び最終段トランジスタを組み込んだ第2半導体チップと、整合回路を構成する集積受動デバイスとを有し、第1半導体チップ及び第2半導体チップのうちの少なくとも一つの半導体チップと集積受動デバイスは重ねてモジュール基板の上面に搭載されている。第2半導体チップはモジュール基板の上面に設けられた窪みの底に搭載される。窪みの底には前記放熱パッドに接続される複数のビニアが設けられている。窪みから外れたモジュール基板の上面には第1半導体チップや抵抗、コンデンサ等のディスクリート部品が搭載されている。半導体チップや各部品はモジュール基板の上面に形成された封止部で被われている。

【選択図】 図1

## 認定・付加情報

特許出願の番号 特願2002-379047  
受付番号 50201982286  
書類名 特許願  
担当官 第五担当上席 0094  
作成日 平成15年 1月 8日

## &lt;認定情報・付加情報&gt;

【提出日】 平成14年12月27日

次頁無

出証特2003-3086972

【書類名】 出願人名義変更届（一般承継）  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 特願2002-379047  
【承継人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【承継人代理人】  
【識別番号】 100083552  
【弁理士】  
【氏名又は名称】 秋田 収喜  
【提出物件の目録】  
【包括委任状番号】 0308731  
【物件名】 承継人であることを証明する登記簿謄本 1  
【援用の表示】 特許第3154542号 平成15年4月11日付け提出の会  
社分割による特許権移転登録申請書 を援用する  
【物件名】 権利の承継を証明する承継証明書 1  
【援用の表示】 特願平5-161545号 同日提出の出願人名義変更  
届（一般承継）を援用する

## 認定・付力口小青幸

特許出願の番号	特願2002-379047
受付番号	50301229957
書類名	出願人名義変更届（一般承継）
担当官	植田 晴穂 6992
作成日	平成15年 9月 3日

## &lt;認定情報・付加情報&gt;

【提出日】	平成15年 7月25日
-------	-------------

特願2002-379047

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地  
氏名 株式会社日立製作所

特願2002-379047

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ